

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-327681

(43)Date of publication of application : 10.12.1993

(51)Int.Cl.

H04L 7/027

(21)Application number : 04-126041

(71)Applicant : TOSHIBA CORP
TOSHIBA AVE CORP

(22)Date of filing : 19.05.1992

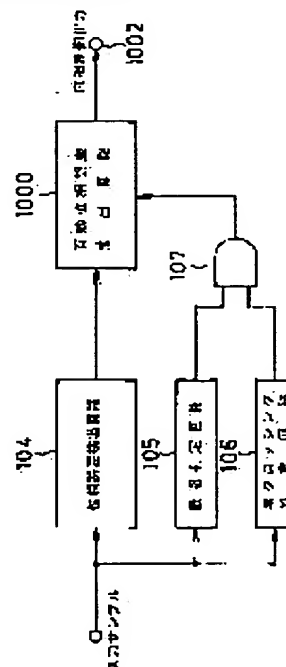
(72)Inventor : KOMATSU SUSUMU
ISHIKAWA TATSUYA
TAGA NOBORU

(54) CONTROL SIGNAL GENERATING CIRCUIT FOR CLOCK RECOVERY

(57)Abstract:

PURPOSE: To hardly generate pattern jitter and to extract a phase error output for stable clock recovery even when an amplitude of an eye pattern is fluctuated.

CONSTITUTION: A phase error detection circuit 104 obtains a phase error output by obtaining a difference of input samples to shift before and after in a time axis direction. An amplitude discrimination circuit 105 discriminates whether or not the input sample exceeds a reference level. A zero crossing discrimination circuit 106 discriminates whether or not the input samples to shift before and after in the time axis direction are zero crossed. An effective phase error extracting circuit 1000 introduces a phase error signal at that time to be effective when the input sample is zero crossed and also exceeds a reference level, and employs the signal as a clock phase control signal for a clock generating circuit.



LEGAL STATUS

[Date of request for examination] 27.05.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2983381

[Date of registration] 24.09.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-327681

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/027		7928-5K	H 0 4 L 7/ 02	A

審査請求 未請求 請求項の数8(全 10 頁)

(21)出願番号	特願平4-126041	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成4年(1992)5月19日	(71)出願人	000221029 東芝エー・ピー・イー株式会社 東京都港区新橋3丁目3番9号
		(72)発明者	小松 進 東京都港区新橋3丁目3番9号 東芝エー・ピー・イー株式会社内
		(72)発明者	石川 達也 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝映像メディア技術研究所内
		(74)代理人	弁理士 鈴江 武彦

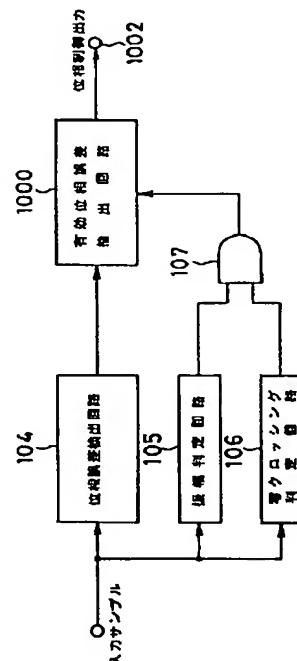
最終頁に続く

(54)【発明の名称】 クロック再生のための制御信号作成回路

(57)【要約】

【目的】 パターンジッタを生じ難く、かつアイ・パターン振幅変動時にも安定してクロック再生を行うための位相誤差出力を抽出する。

【構成】 位相誤差検出回路104は、時間軸方向へ前後する入力サンプルの差分を得ることにより位相誤差出力を得る。振幅判定回路105は、入力サンプルが基準レベルを越えていることを判定する。零クロッシング判定回路106は、入時間軸方向に前後する入力サンプルが零クロスしていることを判定する。有効位相誤差抽出回路1000は、入力サンプルが零クロスし、かつ基準レベルを越えている時に、その時の位相誤差信号が有効であるとして導出し、クロック発生回路のクロック位相制御信号として利用する。



【特許請求の範囲】

【請求項1】帯域制限を受けたパルス符号信号から所定の位相に同期したクロックを再生する回路において、前記クロックによりサンプリングされた信号から位相誤差を検出する位相誤差検出手段と、前記位相誤差検出に用いるサンプルの振幅がそれぞれ所定の値よりも大きいことを判定する振幅判定手段と、少なくとも2アンブル間で符号が特定の変化をしていることを判定する零クロッシング判定手段と、前記振幅判定手段の出力と前記零クロッシング判定手段の出力からクロック位相制御に有効な位相誤差信号を抽出する抽出手段と、を備え、前記有効な誤差信号として判定された誤差信号を前記クロックの位相制御用とすることを特徴とするクロック再生のための制御信号作成回路。

【請求項2】前記位相誤差検出手段は、前記クロックによりサンプリングされた信号の連続する2サンプルの振幅差を位相誤差として取り出すことを特徴とする請求項1記載のクロック再生のための制御信号作成回路。

【請求項3】前記位相誤差検出手段は、前記クロックのタイミングの中間のタイミングでサンプリングされた振幅を位相誤差として取り出すことを特徴とする請求項1記載のクロック再生のための制御信号作成回路。

【請求項4】前記位相誤差検出手段は、前記クロックによりサンプリングされた信号の連続する2サンプルの振幅差を位相誤差として取り出す第1の位相誤差検出手段と、前記クロックのタイミングの中間のタイミングでサンプリングされた振幅を位相誤差として取り出す第2の位相誤差検出手段とを有し、

前記抽出手段は、前記第1と第2の位相誤差検出手段の出力を用いて、前記振幅判定手段の出力と前記零クロス判定手段の出力から有効な位相誤差出力を抽出することを特徴とする請求項1記載のクロック再生のための制御信号作成回路。

【請求項5】前記抽出手段は、前記振幅判定手段の出力が真であり、かつ前記零クロッシング判定手段も真である場合に、このときの位相誤差信号を有効位相誤差信号として抽出し、それ以外の場合は、前回に求められ保持されている信号を有効位相誤差信号として抽出することを特徴とする請求項1記載のクロック再生のための制御信号作成回路。

【請求項6】前記入力サンプルは、直交検波出力における同相軸検波出力と、直交軸検波出力の第1と第2の系統の入力サンプルであり、前記位相誤差検出手段、振幅判定手段及び零クロッシング判定手段は、前記第1の系統の入力サンプルを受け付ける第1の系統の第1の前記位相誤差検出回路、振幅判定回路及び零クロッシング判定回路と、前記第2の系統の入力サンプルを受け付ける第2の系統の第2の位相誤差検出回路、振幅判定回路及び零クロッシング判定回路

とを有し、

前記抽出手段は、前記第1と第2の系統の位相誤差信号の中から、前記第1と第2の系統から得られる各判定出力に基づいて有効位相誤差信号を抽出することを特徴とする請求項1記載のクロック再生のための制御信号作成回路。

【請求項7】前記抽出手段は、前記第1と第2の系統の位相誤差信号の平均値を入力としていることを特徴とする請求項6記載のクロック再生のための制御信号作成回路。

【請求項8】前記抽出手段は、前記第1と第2の系統からの第1と第2の位相誤差信号のいずれか一方を選択して抽出する場合、前記第1と第2の系統の各入力サンプル（パルス符号信号）の振幅レベルの大きい方に対応する位相誤差信号を有効誤差信号として抽出することを特徴とする請求項6記載のクロック再生のための制御信号作成回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、帯域制限されたパルス信号を用いてデジタル信号を伝送するシステムにおいて、受信装置に利用されるクロック再生回路に関する。

【0002】

【従来の技術】帯域制限されたパルス波を用いてデジタル信号を伝送するシステムにおいては、一般にロールオフ・スペクトル整形されたパルスを用いて符号伝送を行うために受信側のサンプル・タイミングの僅かなずれが特性を急激に劣化させることになる。

【0003】従来、簡単なサンプル・タイミングの実現、即ちクロック再生は入力信号を整流し、クロック成分を抽出しておいて狭帯域帯域通過ろ波器に通してクロックを再生している。しかし、近年、より伝送帯域幅を節約するためにロール・オフファクタの小さいスペクトル整形特性を用いるようになってきているため、クロック再生の高性能の必要性が高まってきた。このようなクロック再生回路として、特公平1-51218号、特公平3-23021号が公知となっている。

【0004】図6(A)は、特公平1-51218号に開示されているクロック再生回路の位相制御方法を示している。零クロスポイント前後でクロックの位相制御信号を検出（以下零クロス制御と呼ぶ）している。同図

(a)は2値デジタル信号のアイパターンを簡略化したもので平均的には問題はない。そこで、同図(b)に示すようにサンプル・タイミングを T_e 秒だけ遅らせた場合を考えて見る。すると、アイの開きは W_0 から W_1 と狭くなる一方、同図(c)のタイミングで入力信号をサンプルした値も零近傍の値から、より大きな値をとるようになる。零クロスポイント前後で送信符号が -1 から $+1$ へ変化した場合には、サンプル値は $e(-+)$ なる正の値をとり、逆に $+1$ から -1 へ変化した場合には e

(+-) なる負の値をとる。従って零クロスポイント前後での送信符号を知ることにより、サンプル・タイミングのずれを検出することができる。

【0005】このように零クロス制御では、零クロスポイント近傍の値を用いているので、アイ・パターンの振幅によらず動作する特徴がある。しかし、実際にはアイ・パターンは図7に示すような波形をしており、クロック位相が同期していても、 $e(-+)$ 及び $e(+ -)$ は0とはならない場合があり、このときには、制御信号が発生するので、ジッタが多いという欠点がある（以下これをパターンジッタという）。

【0006】図6(B)は、特公平3-23021号に開示されているクロック位相制御方法を示している。アイ・パターン収束ポイントの前後ではクロックの位相制御信号を検出（以下、アイ収束点制御と呼ぶ）している。同図(a)は2値デジタル信号のアイ・パターンを、同図(b)のT-1、T-0、T1は、最適クロック位相を示している。この例では、2ビットA/D変換器で基準レベルL1、L2及びL3により、サンプリングされているが、多値A/D変換器を用いた場合で考える。送信符号がa-1、B0、C1と変化した場合、クロック位相が $+\Delta$ ずれているとサンプル値は基準レベルL1より小さな値となり、 $-\Delta$ ずれているとサンプル値は基準レベルL1より大きな値となる。従って、制御ポイントの前後の送信符号と制御ポイントでの基準レベルとの差分値により、サンプル・タイミングのずれを検出することができる。

【0007】このように、アイ収束点制御では、アイ収束ポイント近傍の値を用いているので、位相同期時のジッタが少ないという特徴がある。しかし、アイ・パターンの振幅が変化するような場合には、基準レベルとの差分値が正確にサンプル・タイミングのずれを示さないため、クロック位相の制御ができないという欠点がある。例えば、先のパルス信号がデジタル変調の復調出力であるような場合には、復調時の同期検波用キャリア同期が確立されていないと、復調出力はビート状となり、また同復調回路における自動利得制御が確立していないと、上記アイ・パターン信号の振幅は変化するために、どちらの場合もクロック再生が不可能である。

【0008】

【発明が解決しようとする課題】上述したように零クロス制御によるクロック位相同期回路では、パターンジッタが多く、またアイ収束点制御によるクロック位相同期回路では、キャリア非同期時などの状態において、アイ・パターンの振幅が一定でない時に動作しないという問題がある。

【0009】そこでこの発明は、パターンジッタを生じ難く、かつアイ・パターン振幅変動時にも安定してクロック再生を得るクロック再生回路を提供することを目的とする。

【0010】

【課題を解決するための手段】この発明は、帯域制限を受けたパルス符号信号から所定の位相に同期したクロックを再生する回路において、前記クロックによりサンプリングされた信号から位相誤差を検出する位相誤差検出手段と、前記位相誤差検出に用いたサンプルの振幅がそれぞれ所定の値よりも大きいことを判定する振幅判定手段と、少なくとも2サンプル間で符号が特定の変化をしていることを判定する零クロス判定手段と、前記振幅判定手段の出力と前記零クロス判定手段の出力からクロック位相制御に有効な位相誤差信号を抽出する手段と、を備え、前記有効な誤差信号として判定された誤差信号に従い、前記クロックの位相を制御することを特徴とするクロック再生回路。

【0011】

【作用】上記の手段により、アイ・パターンの振幅が変化しても規定振幅以上のサンプルから得られた位相誤差信号のみが有効位相誤差となるので、前述の同期検波におけるキャリア非同期時でも正常にクロック再生動作が実行される。また符号のアイ・パターンを予め判定しているために、パターンジッタの多い相誤差信号を除去でき、このジッタを大幅に低減できる。

【0012】

【実施例】以下、この発明の実施例を図面を参照して説明する。なお以下の説明ではデジタル信号処理を例として説明しているが、この発明は特にデジタル信号処理のみに限定されるものではない。

【0013】図1はこの発明の基本的な一実施例である。

再生クロックタイミングでサンプリングされた入力信号は、位相誤差検出回路104、振幅判定回路105及び零クロッシング判定回路106へ分岐される。

【0014】位相誤差検出回路104は、例えば連続する2つの入力サンプル間の振幅差を位相誤差信号とする回路であり、検出した位相誤差信号を有効位相誤差抽出回路1000に輸入している。振幅判定回路105は、入力サンプルの振幅値が予め規定された基準値よりも大きいことを検出する回路であり、その検出出力を論理和回路107に輸入している。入力サンプルの振幅値が基準値よりも大きい場合は、前述の検出出力は論理1となる。零クロッシング判定回路106は、前記2入力サンプル間の符号のパターンからすべての零クロッシングを判定し、零クロッシングを判定したときに論理1を出力する。

【0015】論理和回路107の出力は、有効位相誤差抽出回路1000の制御端子に供給され、論理和回路107の出力が論理1のとき有効位相誤差抽出回路1000は、位相誤差信号を有効なものとして抽出する。従って、入力サンプルの振幅が基準値よりも大きく、かつ零クロッシングが判定されたときの位相誤差検出出力が、有効なものとして出力端子1002に位相制御出力とし

て導出されることになる。位相誤差出力は、クロック発生部の位相制御信号として利用される。

【0016】図2(A)は上記位相誤差検出回路104の具体的構成例である。入力サンプルは、入力端子300を介して絶対値回路301に入力される。絶対値回路301からの絶対値出力は、1クロック分の遅延回路302及び減算器303に入力される。遅延回路302の出力も減算器303に入力されている。従って、出力端子304からは、2サンプルの絶対値の振幅差が得られる。この振幅差が位相誤差出力となるもので、図3はその原理を示している。図3(A)はアイ・パターンを示しており、アイ収束ポイントのサンプル値が、 L_0 及び $-L_0$ の場合を示している。またこれに対して、図3(B)のT1、T2は、最適サンプルポイントを示している。今、クロック位相が $+\Delta t$ ずれている場合を考えてみる。

【0017】送信符号がA1、B2と変化した場合、A1のサンプル値は $-(L_0 - \Delta_1)$ 、B2のサンプル値は $L_0 + \Delta_1$ となる。ここでそれぞれのサンプル値の絶対値を比べてみると、

【0018】

$$|L_0 + \Delta_1| - |-(L_0 - \Delta_1)| = 2\Delta_1 > 0$$

であり、絶対値ではB1のサンプル値の方が大きいことがわかる。また、送信符号がB1、A2と変化した場合、B1のサンプル値は $L_0 - \Delta_1$ 、A2のサンプル値は $-(L_0 + \Delta_1)$ となる。ここでそれぞれのサンプル値の絶対値を比べてみると、

【0019】

$$|-(L_0 + \Delta_1)| - |L_0 - \Delta_1| = 2\Delta_1 > 0$$

であり、絶対値ではA2の方が大きいことがわかる。すなわち、クロック位相が遅れている場合(クロック位相 $+\Delta t$)には、連続する2サンプルの絶対値は後の値の方が大きいことがわかり、同様にクロック位相が進んでいる場合(クロック位相 $-\Delta t$)には、連続する2サンプルの絶対値は後の値が小さいことが理解できる。これにより、連続する2入力サンプル間の振幅差を求めれば、位相誤差を得ることができる。

【0020】図2(B)は、振幅判定回路105の具体的構成例である。入力サンプルは、正負の両極性信号の場合、入力端子310を介して絶対値回路311に入力され、絶対値がとらる。その絶対値出力は、比較回路313に入力されて基準レベルと比較される。比較回路313の出力は、1クロック遅延回路314及びアンド回路307の一方端に入力される。アンド回路307の他方端には遅延回路314の出力が入力されている。比較回路313は、入力が基準レベルよりも大きい場合に論理1を出力する。従って、出力端子316には、連続して入力サンプルが基準レベル以上の時に論理1が得られる。つまりこの判定においては、2入力サンプルが同時に規定振幅よりも大きいことを判定している。

【0021】図2(C)は、零クロッシング判定回路106の具体的構成例を示している。入力サンプルの符号ビットは、入力端子320を介して1クロック遅延回路321及びイクスクルーシブオア回路309の一方端に入力される。イクスクルーシブオア回路309の他方端には、遅延回路321の出力が供給されている。これにより、イクスクルーシブオア回路309から、2入力サンプルの符号が変化したときに論理1が得られる。この回路は、2入力サンプル間の符号のパターンからすべての零クロッシングを判定しているが、よりパターンジッタを少なくするために、より多くのサンプルの符号パターンを用いても良い。例えば4サンプルを用いれば、よりパターンジッタの少ない符号パターンを選択でき、結果的に再生クロックのジッタを低減できる。

【0022】上記したように、入力サンプルの振幅が基準レベル以上であり、2入力サンプル間で零クロスした時の位相誤差検出信号が、有効位相誤差抽出回路1000において取り出され、クロック発生回路(図示せず)のクロック位相制御信号として用いられる。

【0023】クロック位相引き込み動作が実現され、クロック位相が最適サンプルポイントT1、T2(図3参照)になると、それぞれのサンプル値はアイ収束ポイントの L_0 、 $-L_0$ となる。したがって、サンプル間の絶対値は等しくなり、制御信号は発生しない。零クロス制御の場合は、引き込み動作後も制御信号が発生していたために、ジッタが大きかったが、この実施例のシステムでは引き込み動作後に制御信号が発生しないために、ジッタを少なくすることができる。

【0024】また、アイ・パターンの振幅 L_0 が変化しても、位相誤差は L_0 に関係なく、 $\pm 2\Delta_1$ となるので、2サンプル間の振幅差がアイ・パターンの振幅変化に左右されることがなく、振幅差、つまり位相誤差が正確に得られる。このために、キャリア非同期時でも正常に引き込み動作を行うことができる。しかし、アイ・パターンの振幅 L_0 が小さくなると、ノイズによる影響を受けやすくなるので L_0 が所定レベルよりも小さい場合に検出した位相誤差信号では制御を行わないようになっている。また、この位相誤差検出動作は、送信符号が零レベルをクロスした場合に得られるもので、例えばB1~B2、A1~A2と変化し、入力サンプルが零レベルをクロスしないような場合は位相誤差を検出できないし、またこのような場合のクロック位相誤差は大きな問題とはならない。

【0025】なお従来の零クロッシング位相誤差検出回路を用いて、零クロッシング検出を行っても良い。零クロッシングによる位相誤差信号を用いるときは、前述のようにパターンジッタが大きくなりやすいので、零クロッシングにおける参照サンプル数を増加させ、パターンジッタの少ない符号パターンのみの選択を併用するのが効果的である。

【0026】さらにパターンジッタを低減するために特定符号パターンのみを選択するようにすると、位相制御に用いる誤差信号の発生確率が小さくなるが、前記2サンプル間の振幅差で位相誤差を求める方法と零クロッシングの方法において、両者はそれぞれ異なる符号パターンに対してパターンジッタの少ない位相誤差検出を行う子とが可能であり、両者を適宜選択して2つの位相誤差検出方法を併用すれば、より再生クロックの位相ジッタを低減できる。図4は、この発明のクロック再生部の位相誤差検出回路を直交検波信号復調システムに利用する場合に実施例を示している。

【0027】直交検波信号復調システムは、入力信号を90°位相の異なる第1、第2の局発でそれぞれ同期検波、直交同期検波し、2つの信号を取り出している。各信号は、クロックによりA/D変換され復号化回路へ導かれる。先のクロックは、例えば各A/D変換出力を各デジタルフィルタに通した信号から再生されている。従って、クロック再生回路には、位相の異なる信号を復調した2つの信号の各入力サンプル（以下このサンプルと1サンプル、Qサンプルと称する）が供給される。

【0028】図4において、1サンプルは、入力端子401を介して、1サンプル位相誤差検出部402に入力され、Qサンプルは、入力端子411を介して、Qサンプル位相誤差検出部412に入力される。1サンプル位相誤差検出部402、Qサンプル位相誤差検出部412は、同じ構成であり、図1で示したような位相誤差検出回路104、振幅判定回路105、零クロッシング判定回路106、論理和回路107をそれぞれ有する。従って、各位相誤差検出部402、412からは、位相誤差信号と、有効判定信号がそれぞれ得られる。これらの位相誤差信号と、有効判定信号とは、有効位相誤差抽出回路420に入力される。有効位相誤差抽出回路420は、1サンプル処理側からの位相誤差信号と、Qサンプル処理側からの位相誤差信号とを合成して有効位相誤差信号を作成している。

【0029】図5(A)は、有効位相誤差抽出回路420の具体的な回路例である。入力端子501と502には、1データ位相誤差信号とQデータ位相誤差信号とがそれぞれ供給される。この位相誤差信号は、平均値回路503と選択回路504に入力される。平均値回路503は、1データ位相誤差信号とQデータ位相誤差信号との平均値を選択回路504に供給している。さらにまた選択回路504には、その出力が遅延回路505を介して供給されている。選択回路504には、選択制御信号として、端子506から1データ側有効判定信号、端子507からQデータ側有効判定信号が供給されている。選択回路504は、これらの有効判定信号に応じて、端子501、502からの位相誤差信号、平均値回路503からの位相誤差信号、遅延回路505からの位相誤差信号の4つの信号のうちいずれかを選択導出する。

【0030】つまり、選択回路504は、1データ側有効判定信号、Qデータ側有効判定信号の両方が論理1で入力された場合には、平均値回路503からの平均位相誤差信号を選択して導出し、1データ側有効判定信号のみが論理1で入力された場合には、1データ位相誤差信号のみを選択導出し、Qデータ側有効判定信号のみが論理1で入力された場合には、Qデータ位相誤差信号のみを選択導出し、1データ側有効判定信号、Qデータ側有効判定信号の両方が論理0で入力された場合には遅延回路505の出力を選択導出する。

【0031】図5(B)は、有効位相誤差抽出回路420の他の具体的な回路例である。同図(A)と同一部分には同符号を付している。この回路は、先の平均値回路503の部分に最大値選択回路511が設けられている。最大値選択回路511の選択制御信号は、次のように作成されている。即ち、入力端子521、522には、1データとQデータとがそれぞれ供給される。1データは、遅延回路523を介して減算器524に入力されと共に、直接減算器524に入力される。これにより減算器524からは、2サンプル間の振幅誤差（位相誤差出力）が得られ、この出力は比較器527に入力される。Qデータも同様な処理が施される。即ち、Qデータは、遅延回路525を介して減算器526に入力されと共に、直接減算器526に入力される。これにより減算器526からは、2サンプル間の振幅誤差（位相誤差出力）が得られ、この出力は比較器527に入力される。これにより、比較器527からは、1データ位相誤差信号と、Qデータ位相誤差信号とのいずれが大きい誤差信号であるかを示す論理出力が得られる。この論理出力が、最大値選択回路511の選択制御信号とされる。これにより、最大値選択回路511からは、常に大きい方の位相誤差信号が選択して出力されている。

【0032】このようにすると、1データとQデータのアイ・パターン振幅の大きい方の位相誤差信号を有効位相誤差信号とするために、ノイズによる影響を抑えることができる。

【0033】上記したように、アイ・パターンの振幅が変化しても正確に位相誤差信号を検出することができるので、キャリア非同期時にも引き込み動作を行うことができ、位相引き込み後もジッタを少なくすることができる。また、1データ及びQデータの両方から位相誤差を求めているので、位相誤差検出能力が高まり、さらにノイズによる影響を抑えることができる。

【0034】

【発明の効果】以上説明したようにこの発明によれば、パターンジッタを生じ難く、かつアイ・パターン振幅変動時にも安定してクロック再生を得るクロック再生回路を提供することができ、多くの用途のクロック再生回路に広く用いてその性能を大幅に改善することができる。

【図面の簡単な説明】

【図1】この発明の基本的な一実施例を示す回路図。

【図2】図1の各ブロックの具体的回路例を示す図。

【図3】図1の回路の動作を説明するために示したアイ・パターンの図。

【図4】この発明の基本回路を利用した実施例を示す回路図。

【図5】図5の有効位相誤差抽出回路の具体例を示す回路図。

*

*【図6】従来の位相誤差検出及びクロック位相制御方法を説明するために示したアイ・パターンと説明図

【図7】アイ・パターンの例を示す図。

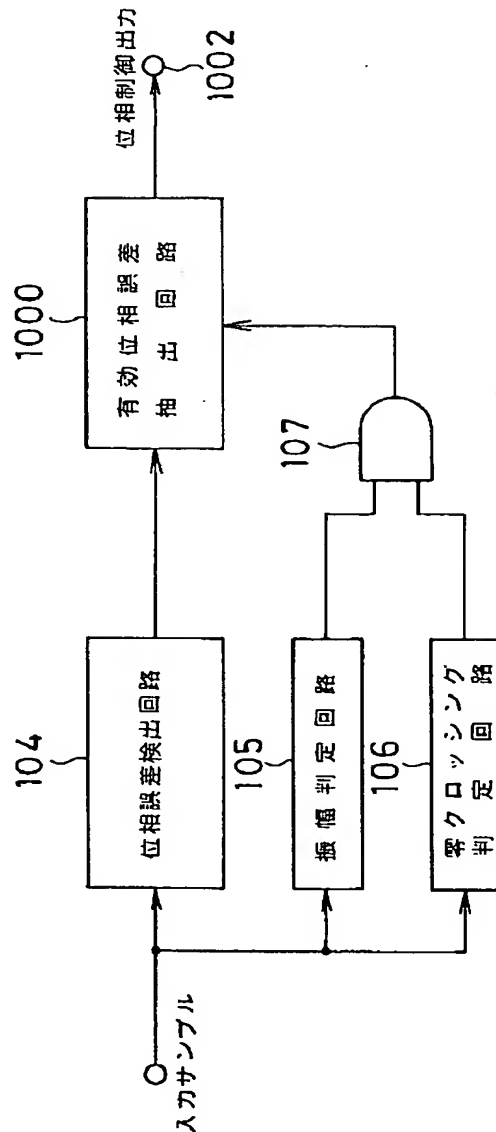
【符号の説明】

104…位相誤差検出回路、105…振幅判定回路、1

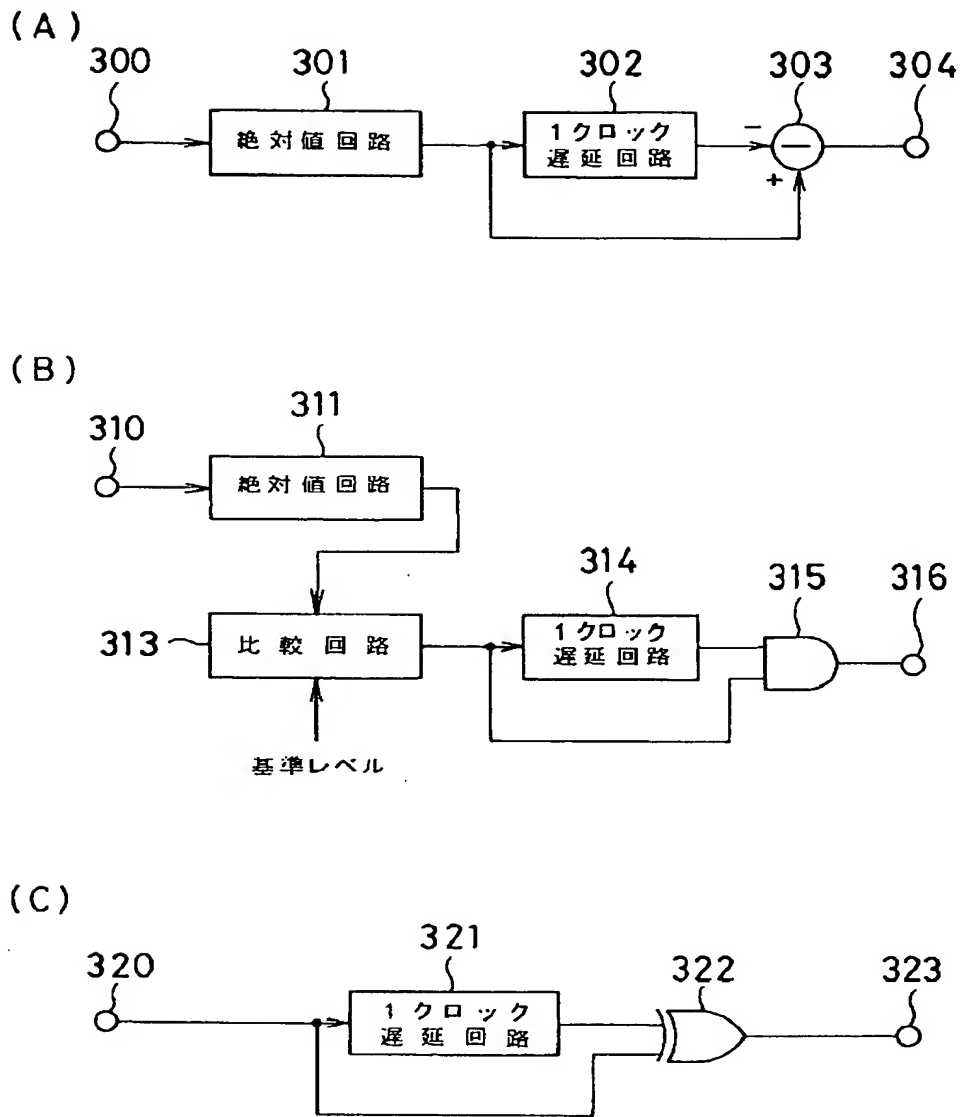
06…零クロッシング判定回路、107…論理和回路、

1000…有効位相誤差抽出回路。

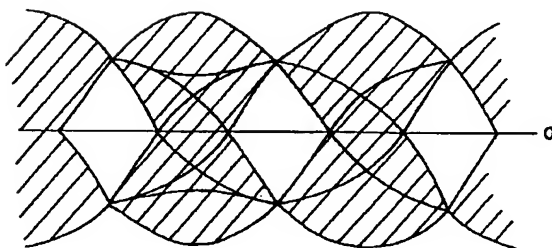
【図1】



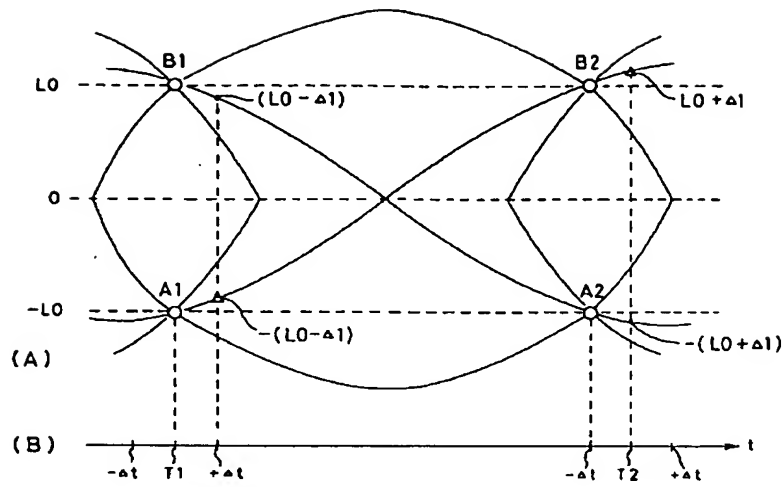
【図2】



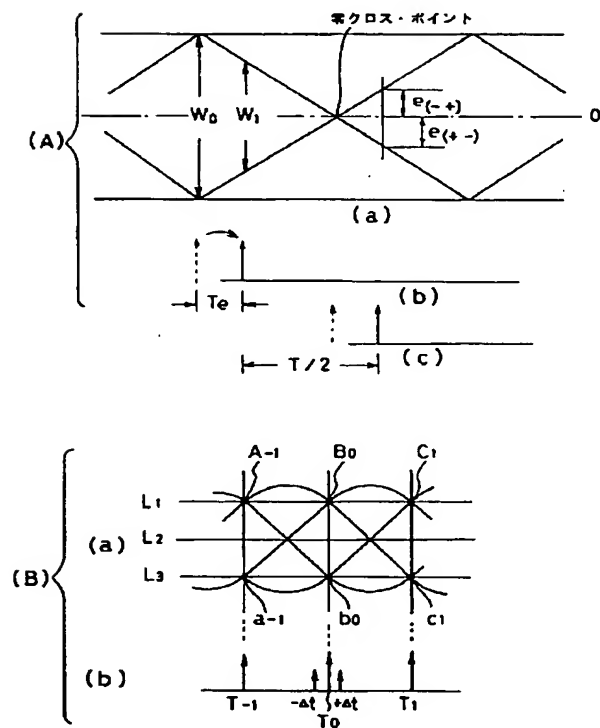
【図7】



【図3】

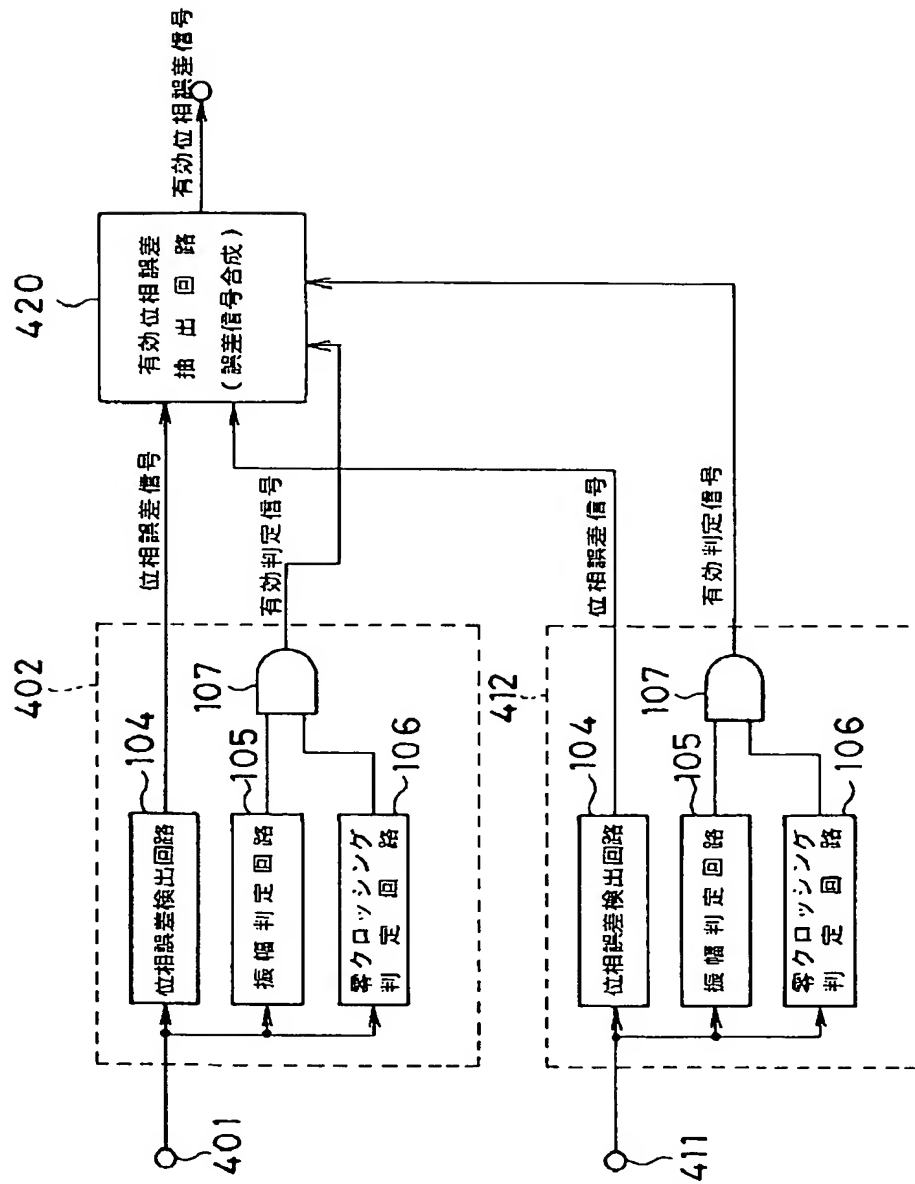


【図6】

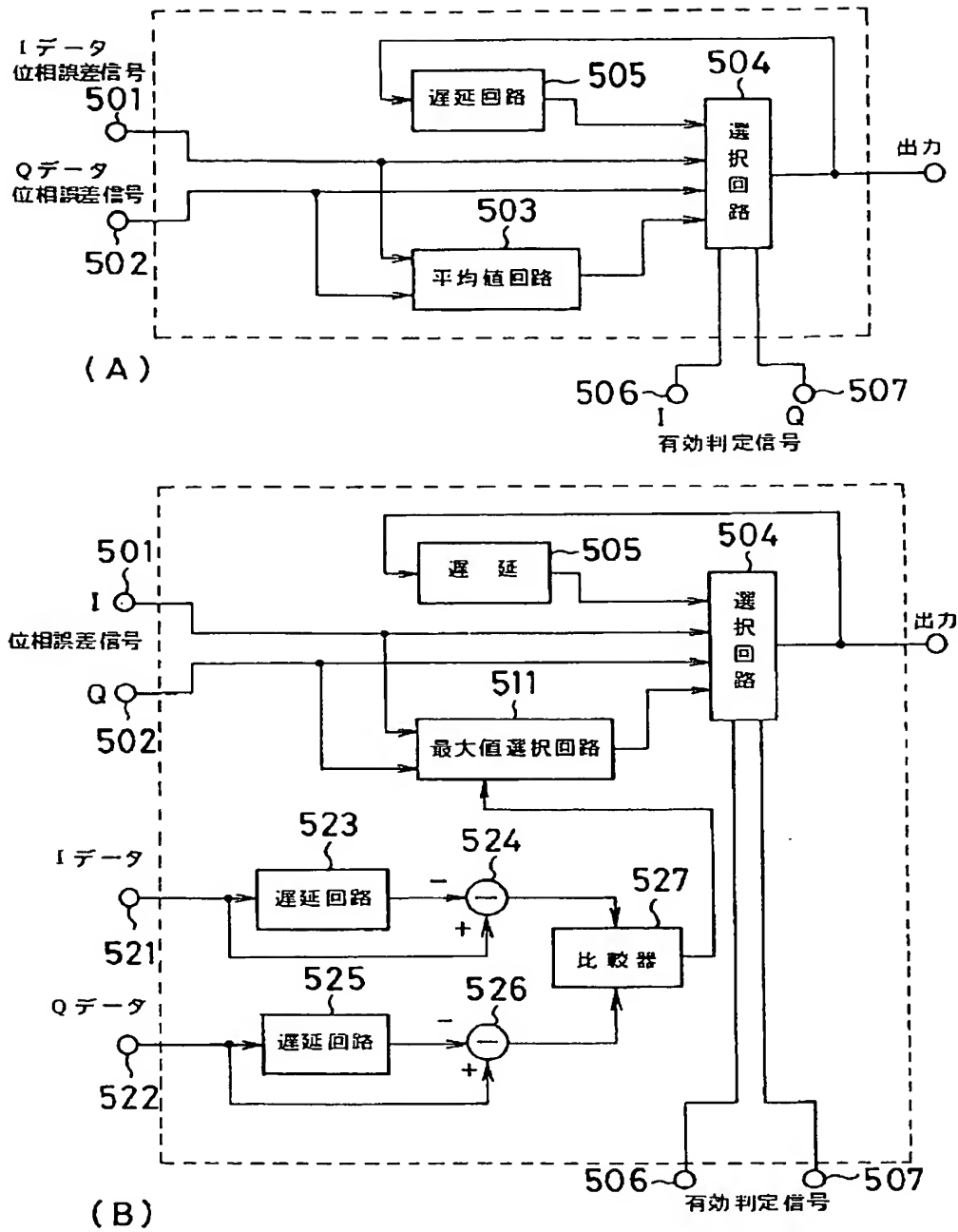


(9)

【図4】



【図5】



フロントページの続き

(72)発明者 多賀 昇
東京都港区新橋3丁目3番9号 東芝エ
ー・ブイ・イー株式会社内